



EXPRESS MAIL NO. EL897867376US

#4  
Priority  
7 16 02  
DS

# BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

## COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 28 JAN. 2002

Pour le Directeur général de l'Institut  
national de la propriété industrielle  
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT  
NATIONAL DE  
LA PROPRIÉTÉ  
INDUSTRIELLE

SIEGE  
26 bis, rue de Saint Petersburg  
75800 PARIS cedex 08  
Téléphone : 33 (1) 53 04 53 04  
Télécopie : 33 (1) 42 93 59 30  
www.inpi.fr

**THIS PAGE BLANK (USPTO)**



26 bis, rue de Saint Pétersbourg  
75800 Paris Cedex 08

Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle-Livre VI



N° 55 -1328

REQUÊTE EN DÉLIVRANCE 1/2

Réservé à L'INPI

Cet imprimé est à remplir lisiblement à l'encre noire

<b>REMISE DES PIÈCES</b> DATE <b>5 FEV 2001</b> LIEU <b>38 INPI GRENOBLE</b> N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI <b>0101525</b> DATE DE DÉPÔT ATTRIBUÉE <b>05 FEV. 2001</b> PAR L'INPI Vos références pour ce dossier (facultatif) <b>B4936</b>		<b>1</b> NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE  Cabinet Michel de Beaumont 1 rue Champollion 38000 GRENOBLE	
Confirmation d'un dépôt par télécopie <input type="checkbox"/> N° attribué par l'INPI à la télécopie			
<b>2</b> NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de Brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
<i>Demande de brevet initiale</i> N° <i>ou demande de certificat d'utilité initiale</i> N°		Date / / Date / /	
Transformation d'une demande de brevet européen		<input type="checkbox"/>	
<i>Demande de brevet initiale</i> N°		Date / /	
<b>3</b> TITRE DE L'INVENTION (200 caractères ou espaces maximum)  STRUCTURE DE PROTECTION CONTRE DES PARASITES			
<b>4</b> DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation Date N° Pays ou organisation Date / / N° Pays ou organisation Date / / N° <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé "Suite"	
<b>5</b> DEMANDEUR		<input type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé "Suite"	
Nom ou dénomination sociale		STMicroelectronics SA	
Prénoms			
Forme juridique		Société anonyme	
N° SIREN			
Code APE-NAF			
ADRESSE	Rue	7, Avenue Gallieni	
	Code postal et ville	94250	GENTILLY
Pays		FRANCE	
Nationalité		Française	
N° de téléphone (facultatif)			
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			

Réservé à L'INPI

REMISE DES PIÈCES

DATE **5 FEV 2001**  
LIEU **38 INPI GRENOBLE**

N° D'ENREGISTREMENT  
NATIONAL ATTRIBUÉ PAR L'INPI **0101525**

Vos références pour ce dossier

(facultatif) **B4936**

**6** MANDATAIRE

Nom

Prénom

Cabinet ou Société

Cabinet Michel de Beaumont

N° de pouvoir permanent et/ou  
de lien contractuel

ADRESSE

Rue

1 Rue Champollion

Code postal et ville

38000

GRENOBLE

N° de téléphone (facultatif)

04.76.51.84.51

N° de télécopie (facultatif)

04.76.44.62.54

Adresse électronique (facultatif)

cab.beaumont@wanadoo.fr

**7** INVENTEUR (S)

Les inventeurs sont les demandeurs

☐ Oui

☒ Non

Dans ce cas fournir une désignation d'inventeur (s) séparée

**8** RAPPORT DE RECHERCHE

Uniquement pour une demande de brevet (y compris division et transformation)

Établissement immédiat

☒

ou établissement différé

☐

Paiement échelonné de la redevance

Paiement en trois versements, uniquement pour les personnes physiques

☐ Oui

☒ Non

**9** RÉDUCTION DU TAUX DES  
REDEVANCES

Uniquement pour les personnes physiques

☐ Requête pour la première fois pour cette invention (joindre un avis de non-imposition)

☐ Requête antérieurement à ce dépôt (joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence) :

Si vous avez utilisé l'imprimé "Suite", indiquez le  
nombre de pages jointes

**10** SIGNATURE DU DEMANDEUR  
OU DU MANDATAIRE  
(Nom et qualité du signataire)

Michel de Beaumont  
Mandataire n° 92-1016

*M. de Beaumont*

VISA DE LA PREFECTURE  
OU DE L'INPI

*[Signature]*

## STRUCTURE DE PROTECTION CONTRE DES PARASITES

La présente invention concerne des circuits intégrés destinés à fonctionner à très haute fréquence et plus particulièrement de tels circuits dont certaines parties sont sensibles à des signaux parasites. Par exemple, dans le domaine des télécommunications et des téléphones portables, on souhaite intégrer sur  
5 une même puce des circuits logiques de traitement de signal et des circuits analogiques d'amplification, destinés à fonctionner à des fréquences très élevées, supérieures à 1 GHz, comprises par exemple dans la plage de 2 à 10 GHz. En particulier, il est généralement prévu un amplificateur analogique à faible bruit directement connecté à la sortie de l'antenne. Il importe d'éviter que  
10 le bruit résultant des commutations des signaux numériques affecte les entrées de l'amplificateur car alors ce bruit serait réinjecté dans le circuit avec un très fort gain.

15 Pour tester la sensibilité au bruit d'un circuit intégré et de divers systèmes de protection, on peut utiliser une structure de test telle que celle représentée en figure 1. Dans cette structure de test, la puce est divisée en cases carrées. Par exemple, une partie de puce de 5 millimètres de côté est  
20 divisée en 15 X 15 cases. On forme un circuit susceptible d'émettre des signaux en créneaux dans la première case (case C1-1 de la première colonne et de la première rangée) et on étudie

le signal haute fréquence recueilli dans les autres cases. Une partie du composant comprenant les cases les plus éloignées diagonalement de la case C1-1 est entourée d'une structure de protection 10. On teste la qualité de cette structure de protection en comparant le bruit recueilli dans la case C14-14 (quatorzième colonne, quatorzième rangée) disposée à l'intérieur de la structure de protection et le bruit recueilli par exemple dans la case C1-15 (première colonne, quinzième rangée) située sensiblement à la même distance de la case C1-1 que les cases disposées à l'intérieur de la structure de protection 10.

Comme l'illustre la vue en coupe partielle de la figure 2, on s'intéressera plus particulièrement au cas où la structure est formée sur un substrat de silicium monocristallin massif 11 faiblement dopé de type P ( $P^-$ ). On suppose que les divers composants du circuit intégré sont formés dans une partie supérieure de ce substrat, par exemple dans une couche épitaxiée faiblement dopée de type N dont une partie 12 est représentée à la limite de la structure de protection 10. Les divers composants sont par exemple formés directement dans cette couche épitaxiée (cas de certains transistors bipolaires) ou dans des caissons plus fortement dopés de type P (13) ou de type N (14) dans lesquels on trouvera notamment des transistors MOS à canal N et à canal P. La structure de protection est constituée d'un mur 15 fortement dopé de type P et relié à la masse.

Une telle structure de protection s'avère efficace aux fréquences inférieures à 1 GHz. Toutefois, comme l'illustre la figure 3, la protection devient inefficace quand les fréquences augmentent. Ceci est dû en particulier au fait que la connexion entre le mur 15 fortement dopé et la masse comprend inévitablement une inductance  $l$  dont l'impédance augmente avec la fréquence.

La figure 3 représente l'atténuation en dB au niveau de la case C1-15 et au niveau de la case C14-14 d'un signal émis par la case C1-1, en fonction de la fréquence (en échelle logarithmique) entre 100 MHz et 10 GHz. Dans la case C1-15, on voit

que cette atténuation diminue quand la fréquence augmente. Dans la case C14-14 (ou dans toute autre case située à l'intérieur de la structure de protection 10) on voit que, jusqu'à une fréquence de l'ordre du gigahertz, l'atténuation est nettement plus importante que pour la case C1-15. Toutefois, pour des fréquences de l'ordre de 1 à 2 GHz, la pente de la courbe C14-14 change et l'atténuation procurée par le mur d'isolement 15 devient négligeable. On constate même que, pour des fréquences supérieures à 2 GHz, le mur d'isolement a un effet négatif, à savoir que l'atténuation du signal en provenance de la case C1-1 est moins importante dans la case C14-14 "protégée" par la structure d'isolement 10 que dans la case C1-15 qui elle n'est pas protégée.

On pourrait trouver diverses explications théoriques à ce phénomène qui en tout cas est certainement lié au fait que l'impédance de la connexion du mur d'isolement 15 à la masse devient élevée. Ainsi, dans l'art antérieur, on a essayé divers moyens pour réduire la valeur de cette impédance. L'un de ces moyens est d'utiliser un mode de montage des puces semiconductrices dit "flip chip" dans lequel les points de connexion sur la puce sont métallisés et revêtus de billes conductrices. Chaque bille conductrice est ensuite directement mise au contact d'une plage métallisée d'une carte de circuit imprimé à laquelle cette puce doit être connectée. On obtient ainsi des connexions à impédance beaucoup plus faible que dans le cas où les puces sont montées dans un boîtier et reliées aux pattes du boîtier par des fils. Toutefois, ceci n'a pas permis de résoudre complètement le problème posé et n'a amélioré que partiellement les caractéristiques des structures de protection connues.

Ainsi un objet de la présente invention est de prévoir une nouvelle structure de protection contre des parasites d'une zone d'un circuit intégré formé sur un substrat massif.

Pour atteindre cet objet, la présente invention prévoit une structure de protection d'une première zone d'une tranche semiconductrice comprenant un substrat faiblement dopé d'un premier type de conductivité contre des parasites haute fréquence

susceptibles d'être injectés à partir de composants formés dans la partie supérieure d'une deuxième zone de la tranche, comprenant un mur très fortement dopé du premier type de conductivité ayant sensiblement la profondeur de ladite partie supérieure, caractérisée en ce que ledit mur est divisé en segments dont chacun est connecté à un plan de masse.

Selon un mode de réalisation de la présente invention, le premier type de conductivité est le type P.

10 Selon un mode de réalisation de la présente invention, l'impédance entre deux segments successifs est supérieure à l'impédance de connexion à la masse de chaque segment.

Selon un mode de réalisation de la présente invention, chaque segment est connecté à un plan de masse par l'intermédiaire d'un montage de type flip chip.

15 Selon un mode de réalisation de la présente invention, le mur d'isolement est entouré d'une zone moyennement dopée du premier type de conductivité.

Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1 représente une structure de test d'un circuit intégré ;

25 la figure 2 représente une vue en coupe schématique et simplifiée d'une portion d'un circuit intégré au voisinage d'un mur d'isolement ;

la figure 3 représente l'atténuation en fonction de la fréquence en divers points d'une puce de circuit intégré ;

30 la figure 4 représente une vue de dessus partielle d'un mur d'isolement selon la présente invention ; et

la figure 5 représente une vue partielle en coupe d'un mur d'isolement selon la présente invention.

Conformément à l'usage dans le domaine de la représentation des composants semiconducteurs, les diverses vues en

35



coupe et vues de dessus de composants ne sont pas tracées à l'échelle dans les diverses figures. Dans ces figures, de mêmes références désignent des éléments identiques ou similaires.

Comme l'illustrent les figures 4 et 5, le mur d'isole-  
5 ment selon la présente invention est divisé en segments 21 forte-  
ment dopés de type P ( $P^+$ ). Une métallisation 22 vient en contact  
avec chaque segment et chacune des métallisations 22 est reliée  
indépendamment à un plan de masse. De préférence, cette liaison  
est réalisée par un montage de type flip chip tel que décrit pré-  
10 cédemment. Ainsi, comme on le voit mieux en figure 5 chaque ré-  
gion 21 formée dans un substrat 11 faiblement dopé de type P ( $P^-$ )  
est en contact avec une métallisation 22 elle-même surmontée  
d'une bille de soudure 23 destinée à assurer le montage flip  
chip. Bien entendu cette représentation est extrêmement schémati-  
15 que et l'on connaît dans la technique divers moyens de préparer  
des connexions pour un montage flip chip. On a représenté à la  
surface de la tranche semiconductrice une couche isolante 24 qui  
est ouverte aux emplacements où la métallisation 22 vient en  
contact avec les segments 21.

20 La profondeur du mur d'isolement 21 sera celle d'une  
région fortement dopée de type P ( $P^+$ ) dans la technologie consi-  
dérée. Sa largeur sera de préférence inférieure à la plus grande  
largeur d'un plot de contact 22.

De préférence, la partie supérieure du substrat 11 au  
25 voisinage de la région du mur d'isolement 21 est constituée d'une  
région 25 dopée de type P, à un niveau de dopage intermédiaire  
entre le dopage du substrat 11 et le dopage très élevé de la  
région 21. Cette région 25 peut par exemple s'étendre sur une  
distance supérieure à 100  $\mu\text{m}$  de part et d'autre du mur d'isole-  
30 ment 21.

L'écart entre les segments 21 et le dopage de la région  
25 de type P sont choisis pour que l'impédance entre deux seg-  
ments soit supérieure ou égale à l'impédance de contact entre la  
région 21 et le plan de masse auquel elle est reliée par l'inter-  
35 médiaire de la métallisation 22 et de la bille de soudure 23.

Comme le représente la figure 3, on s'aperçoit qu'avec un mur en pointillés selon la présente invention, on obtient pour une fréquence de 2 GHz, toutes choses égales d'ailleurs, un amortissement de -42 dB entre les cases C1-1 et C14-14, alors que cet amortissement était seulement de -31 dB avec un mur continu et que l'amortissement "naturel" apparaissant sur la courbe C1-15 était de l'ordre de -30 dB.

REVENDICATIONS

1. Structure de protection d'une première zone d'une tranche semiconductrice comprenant un substrat (11) faiblement dopé d'un premier type de conductivité contre des parasites haute fréquence susceptibles d'être injectés à partir de composants  
5 formés dans la partie supérieure d'une deuxième zone de la tranche, comprenant un mur (21) très fortement dopé du premier type de conductivité ayant sensiblement la profondeur de ladite partie supérieure, caractérisée en ce que ledit mur est divisé en segments dont chacun est connecté à un plan de masse.
- 10 2. Structure de protection selon la revendication 1, caractérisée en ce que le premier type de conductivité est le type P.
3. Structure de protection selon la revendication 1, caractérisée en ce que l'impédance entre deux segments successifs  
15 est supérieure à l'impédance de connexion à la masse de chaque segment.
4. Structure de protection selon la revendication 1, caractérisée en ce que chaque segment est connecté à un plan de masse par l'intermédiaire d'un montage de type flip chip.
- 20 5. Structure de protection selon la revendication 1, caractérisée en ce que le mur d'isolement est entouré d'une zone (25) moyennement dopée du premier type de conductivité.

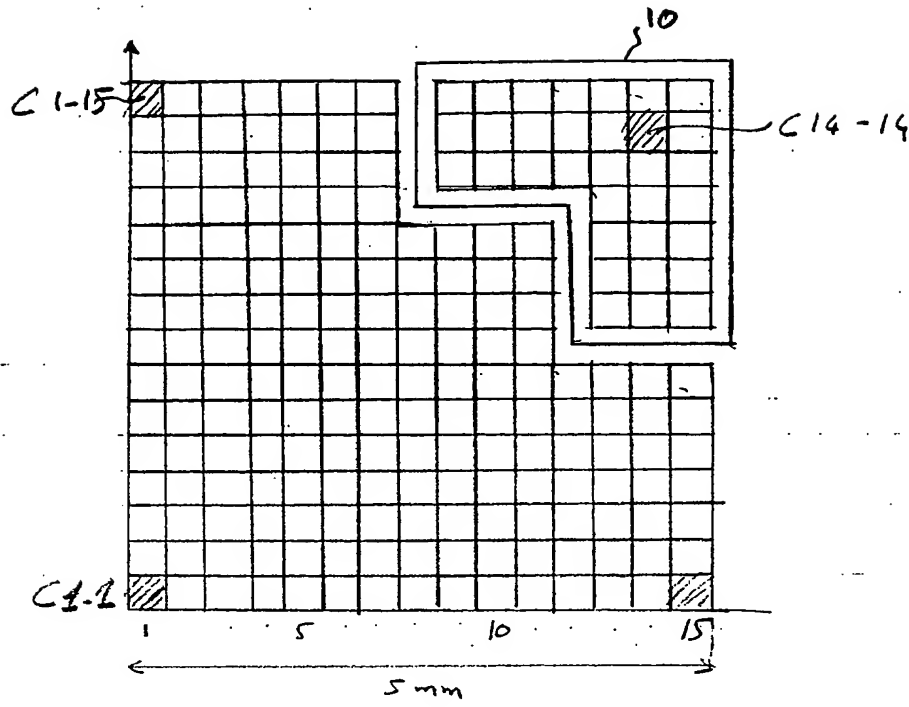


Fig 1

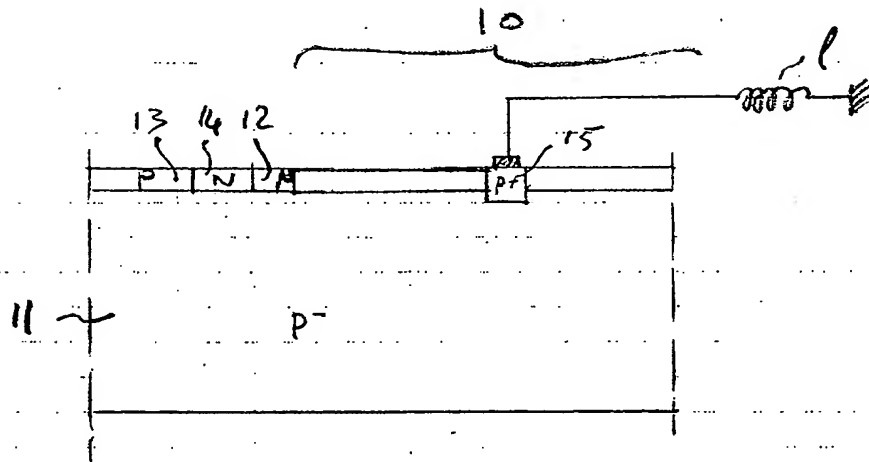


Fig 2

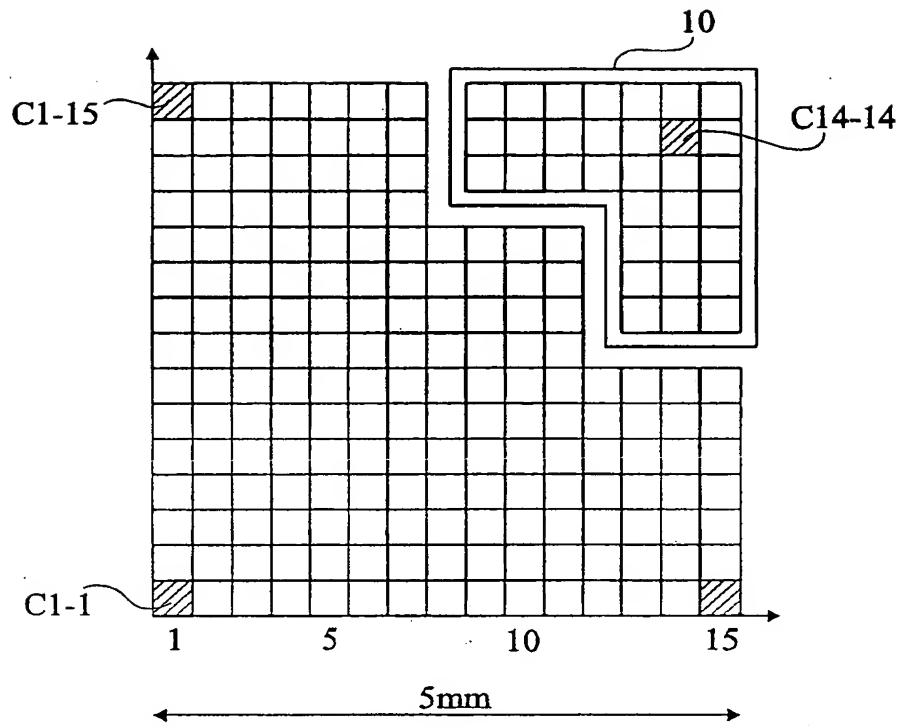


Fig 1

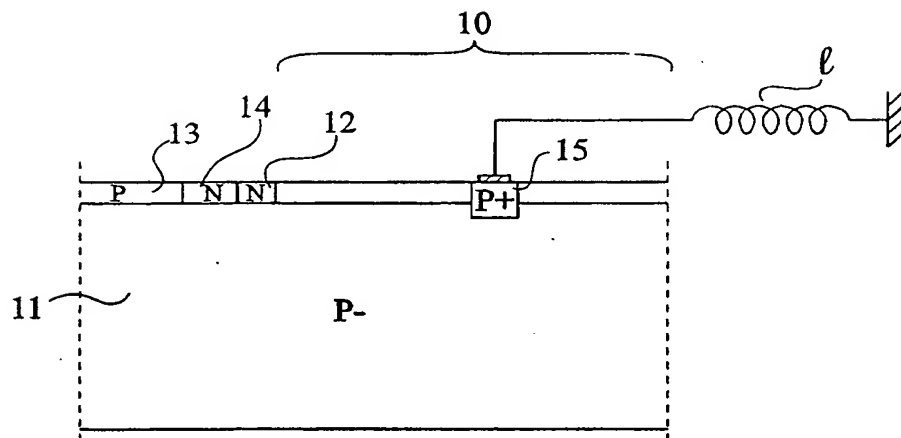


Fig 2

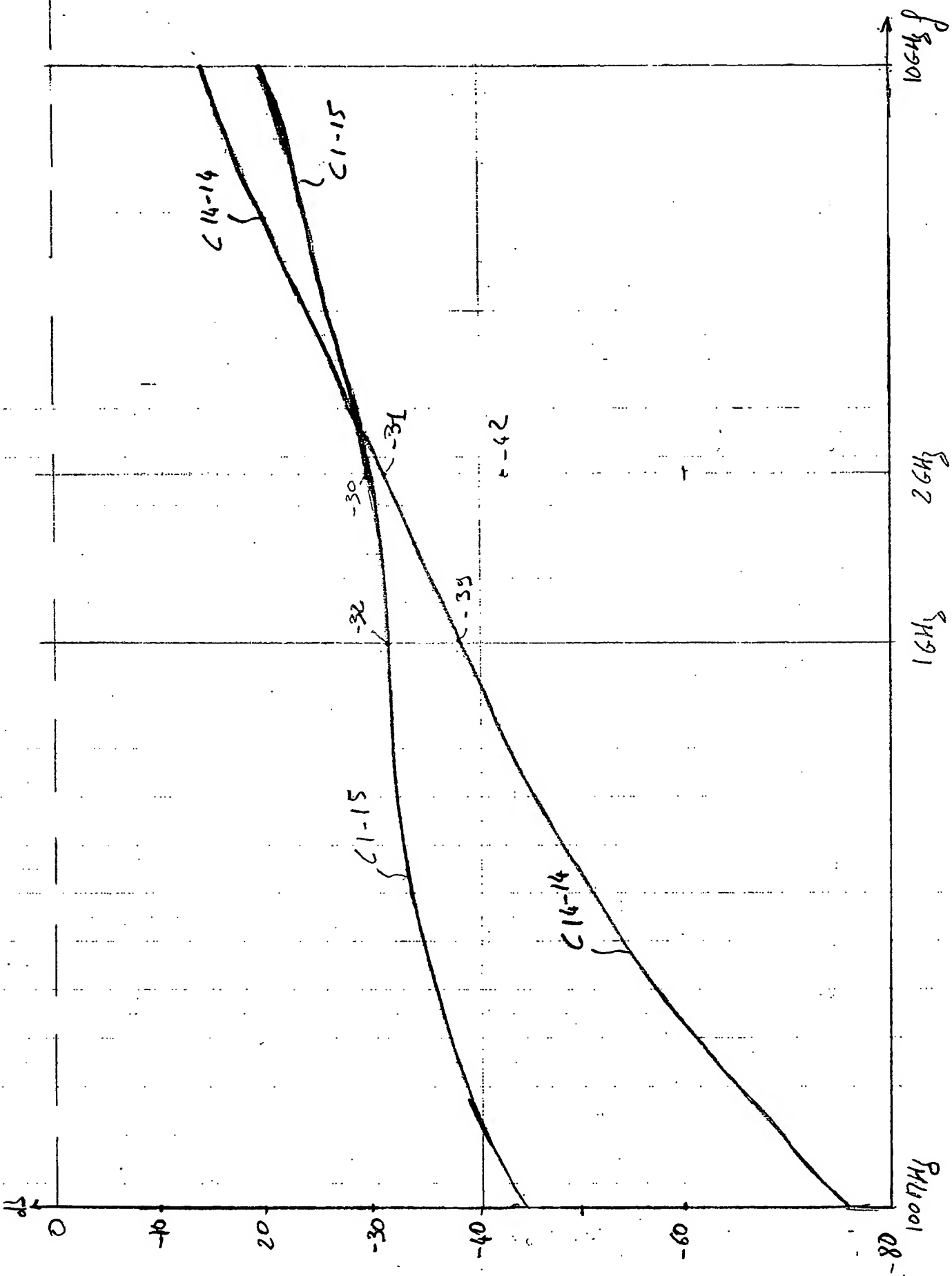


Fig 3

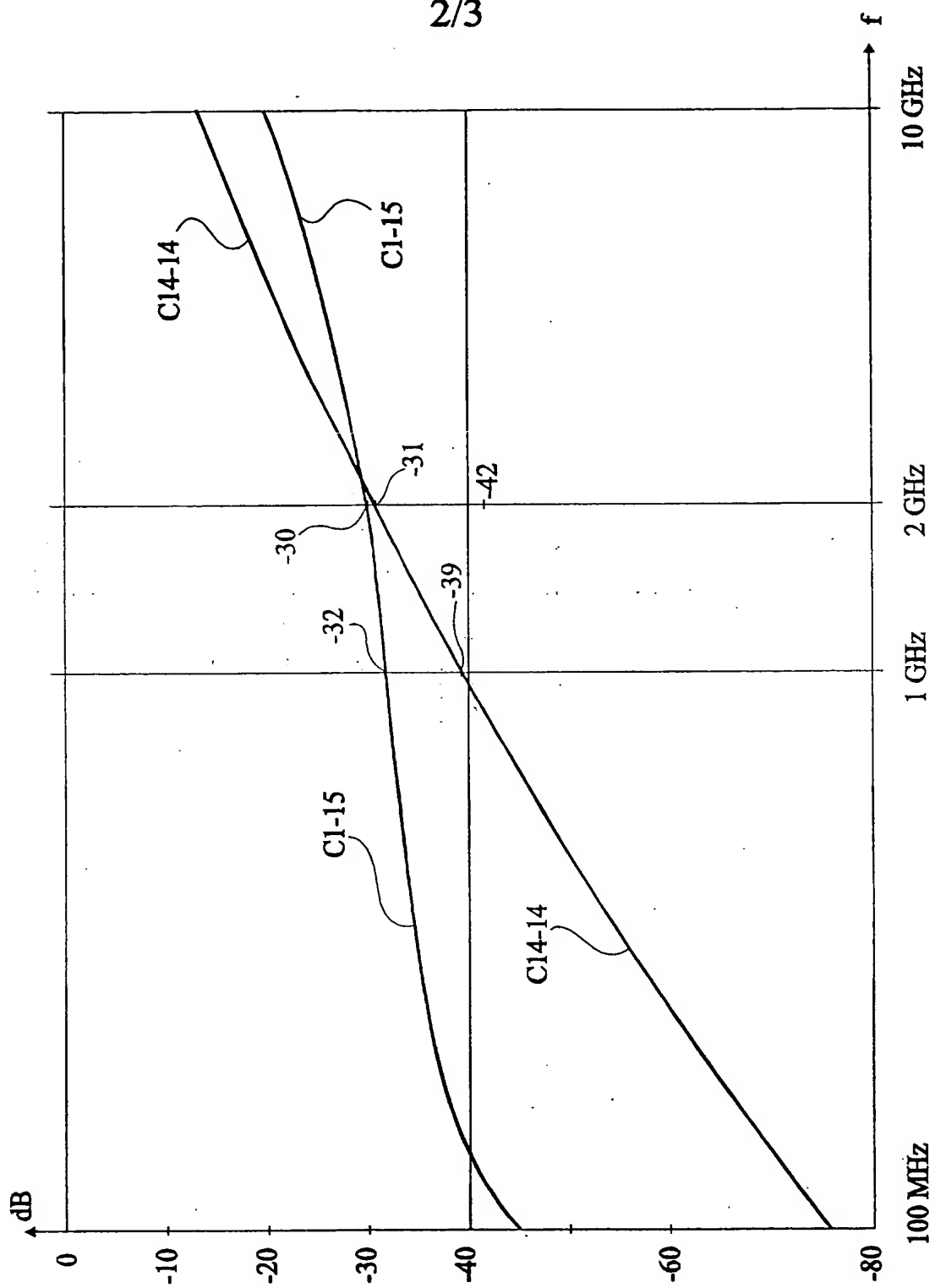


Fig 3

3/3

B495

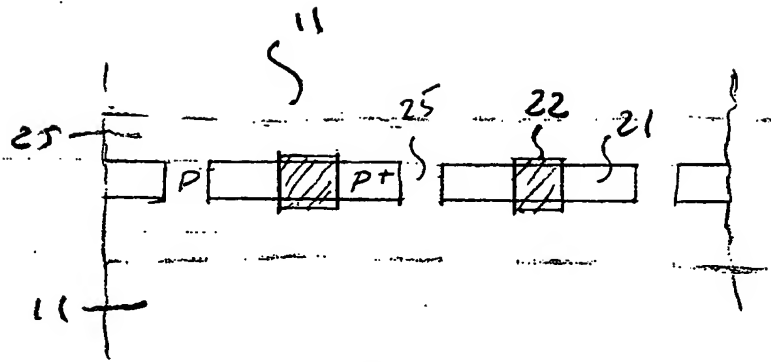


Fig 4

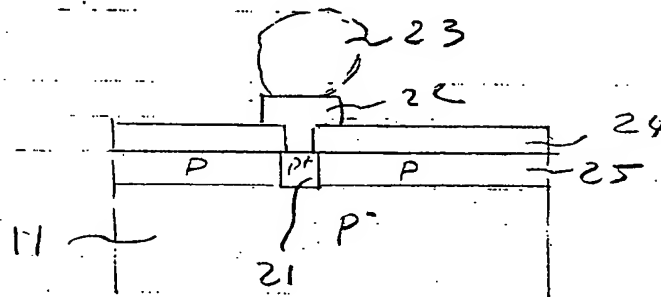


Fig 5



3/3

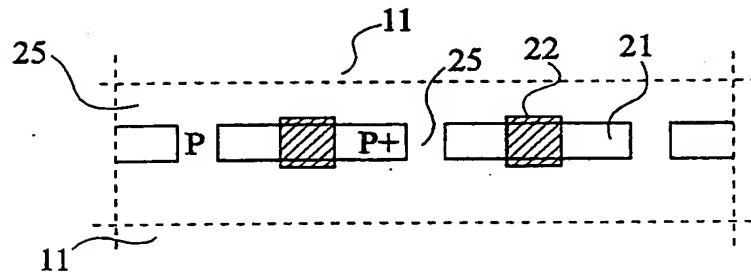


Fig 4

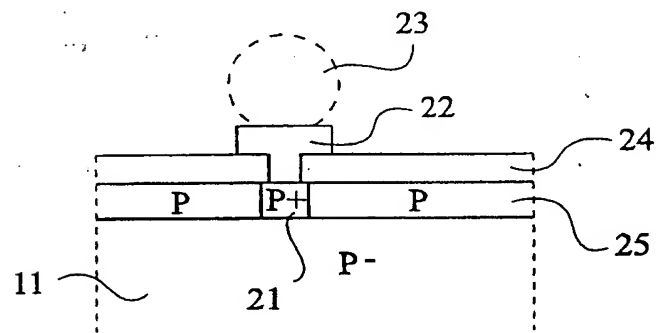


Fig 5

Cet imprimé est à remplir lisiblement à l'encre noire

Vos références pour ce dossier (facultatif)		B4936	
N° D'ENREGISTREMENT NATIONAL		0 10 1 525	
TITRE DE L'INVENTION (200 caractères ou espaces maximum)			
STRUCTURE DE PROTECTION CONTRE DES PARASITES			
LE(S) DEMANDEUR(S) STMicroelectronics SA			
DESIGNE (NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite "Page N° 1/1" S'il y a plus de trois inventeurs, utilisez un formulaire identique numérotez chaque page en indiquant le nombre total de pages).			
Prénoms & Nom		Didier Belot	
ADRESSE	Rue	178, Rue Alfred Buttin, Le Tulipier 1	
	Code postal et ville	38140	RIVES, FRANCE
Société d'appartenance (facultatif)			
Prénoms & Nom			
ADRESSE	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
Prénoms & Nom			
ADRESSE	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
DATE ET SIGNATURE (S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire) Michel de Beaumont Mandataire n° 92-1016 Le 5 février 2001			